

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2005 EPO. All rts. reserv.

16520003

Basic Patent (No,Kind,Date): JP 2000299285 A2 20001024 <No. of Patents:
002>

**FABRICATION OF SEMICONDUCTOR CIRCUIT, LIQUID CRYSTAL DISPLAY
AND**

FABRICATION THEREOF (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): CHO KOYU; TAKAYAMA TORU; TAKEMURA YASUHIKO

IPC: *H01L-021/20; G02F-001/1368; H01L-027/08; H01L-029/786; H01L-021/336;
H01S-003/00

Derwent WPI Acc No: *C 01-420407; C 01-420407

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2000299285	A2	20001024	JP 200069375	A	19930312 (BASIC)
JP 3330923	B2	20021007	JP 200069375	A	19930312

Priority Data (No,Kind,Date):

JP 200069375 A 19930312

?

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

06713450 **Image available**
FABRICATION OF SEMICONDUCTOR CIRCUIT, LIQUID CRYSTAL
DISPLAY AND
FABRICATION THEREOF

PUB. NO.: 2000-299285 [JP 2000299285 A]

PUBLISHED: October 24, 2000 (20001024)

INVENTOR(s): CHO KOYU

TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-069375 [JP 200069375]

Division of 05-079004 [JP 9379004]

FILED: March 12, 1993 (19930312)

INTL CLASS: H01L-021/20; G02F-001/1368; H01L-027/08; H01L-029/786;
H01L-021/336; H01S-003/00

ABSTRACT

PROBLEM TO BE SOLVED: To fabricate a thin film transistor(TFT) requiring a high mobility and a thin film transistor requiring a low current separately and easily by adding a trace of catalytic material to a silicon coating under amorphous state in order to accelerate crystallization, thereby lowering the crystallization temperature and shortening the crystallization time.

SOLUTION: A column recorder 1 and a row recorder 2 are provided as a peripheral driver circuit on a substrate 7, and an image circuit 4 comprising a transistor and a capacitor is formed in a matrix region 3 connected with a peripheral circuit through interconnections 5, 6. Crystallization time is shortened and crystallization temperature is lowered by adding a catalytic material, e.g. nickel or cobalt, to an amorphous silicon film, and a TFT having a high operating speed is formed selectively by laser crystallization. On the other hand, crystallization is carried out in a short time under a low temperature for a TFT having a relatively low operating speed by adding a catalytic material, and a low leakage, high operating speed circuit is formed simultaneously on the substrate.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-299285

(P 2 0 0 0 - 2 9 9 2 8 5 A)

(43) 公開日 平成12年10月24日 (2000. 10. 24)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H01L 21/20		H01L 21/20	
G02F 1/1368		27/08	331 E
H01L 27/08	331	H01S 3/00	B
29/786		G02F 1/136	500
21/336		H01L 29/78	627 G

審査請求 有 請求項の数21 ○ L (全9頁) 最終頁に続く

(21) 出願番号 特願2000-69375 (P 2000-69375)
(62) 分割の表示 特願平5-79004の分割
(22) 出願日 平成5年3月12日 (1993. 3. 12)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 高山 徹
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 竹村 保彦
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体回路の作製方法、液晶表示装置の作製方法および液晶表示装置

(57) 【要約】

【課題】 良好な特性を有する半導体回路の作製方法を
提供する。

【解決手段】 本願発明で開示する半導体回路の作製方
法は、シリコン基板上にアモルファスシリコン膜を形成
し、前記アモルファスシリコン膜の結晶化を助長する触
媒元素を前記アモルファスシリコン膜に導入し、前記ア
モルファスシリコン膜にレーザーを照射することを特徴
とする。

【特許請求の範囲】

【請求項1】シリコン基板上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項2】ガラス基板上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項3】酸化珪素膜上にアモルファスシリコンを形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項4】絶縁表面上にアモルファスシリコン膜をCVD法により形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項5】絶縁表面上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜にエキシマーレーザーを照射する半導体回路の作製方法。

【請求項6】絶縁表面上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を前記アモルファスシリコン膜に導入し、

前記アモルファスシリコン膜に $200 \sim 500 \text{ mJ/cm}^2$ のエネルギー密度のレーザーを照射する半導体回路の作製方法。

【請求項7】請求項1乃至6のいずれか一において、前記触媒元素はイオン注入法によって導入されることを特徴とする半導体回路の作製方法。

【請求項8】シリコン基板上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜を結晶化するために前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項9】ガラス基板上にアモルファスシリコン膜を

形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜を結晶化するために前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項10】酸化珪素膜上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項11】絶縁表面上にアモルファスシリコン膜をCVD法によって形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜にレーザーを照射する半導体回路の作製方法。

【請求項12】絶縁表面上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜にエキシマーレーザーを照射する半導体回路の作製方法。

【請求項13】絶縁表面上にアモルファスシリコン膜を形成し、

前記アモルファスシリコン膜の結晶化を助長する触媒元素を含む物質を前記アモルファスシリコン膜に接して形成し、

前記アモルファスシリコン膜に $200 \sim 500 \text{ mJ/cm}^2$ のエネルギー密度のレーザーを照射する半導体回路の作製方法。

【請求項14】請求項5または12において、前記エキシマーレーザーはKrFエキシマーレーザー、XeFエキシマーレーザー、XeClエキシマーレーザーまたはArFエキシマーレーザーであることを特徴とする半導体回路作製方法。

【請求項15】請求項1乃至14のいずれか一において、前記触媒元素はニッケル、鉄、コバルトまたは白金であることを特徴とする半導体回路の作製方法。

【請求項16】請求項1乃至15のいずれか一において、前記レーザー照射は加熱と同時にを行うことを特徴とする半導体回路の作製方法。

【請求項17】請求項1乃至16のいずれか一において、

前記照射により前記アモルファスシリコンを結晶化し、

結晶性シリコン膜とした後、
前記結晶性シリコン膜に燐を導入し、
前記結晶性シリコン膜を450℃以上の温度で2時間以上熱アニールすることを特徴とする半導体回路作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ(TFT)を複数個有する半導体回路およびその作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、モノリシック型アクティブマトリクス回路(液晶ディスプレー等に使用される)のように、低速動作のマトリクス回路と、それを駆動する高速動作の周辺回路を有する半導体回路に関する。

【0002】

【従来の技術】最近、絶縁基板上に、薄膜状の活性層(活性領域ともいう)を有する絶縁ゲート型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲートトランジスタ、いわゆる薄膜トランジスタ(TFT)が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御用に利用することや駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコンTFTというように区別されている。

【0003】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。そこで、最近では、より高性能な回路を作製するため結晶性シリコンTFTの研究・開発が進められている。

【0004】結晶半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路(ドライバー等)をもCMOSの結晶性TFTで構成する、いわゆるモノリシック構造を有するものが知られている。

【0005】

【発明が解決しようとする課題】図3には、液晶ディスプレーに用いられるモノリシックアクティブマトリクス回路のブロック図を示す。基板7上には周辺ドライバ回路として、列デコーダー1、行デコーダー2が設けられ、また、マトリクス領域3にはトランジスタとキャパシタからなる画素回路4が形成され、マトリクス領域と周辺回路とは、配線5、6によって接続される。周辺回路に用いるTFTは高速動作が、また、画素回路に用い

るTFTは低リーク電流が要求される。それらの特性は物理的に矛盾するものであるが、同一基板上に同時に形成することが求められていた。

【0006】しかしながら、同一プロセスで作製したTFTは全て同じ様な特性を示す。例えば、結晶シリコンを得るにはレーザーによる結晶化(レーザーハニール)という手段を使用することができるが、レーザー結晶化によって結晶化したシリコンでは、マトリクス領域のTFTも周辺駆動回路領域のTFTも同じ様な特性である。そこで、マトリクス領域は熱結晶化を採用し、周辺駆動回路領域はレーザーによる結晶化を採用するという方法が考えられるが、熱結晶化には、600℃で24時間以上も長時間のアニールをするか、1000℃以上の高温でのアニールが必要であった。前者では、スループットが低下し、後者では基板が石英に限定されてしまう。

【0007】本発明はこのような困難な課題に対して解答を与えるとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の目的とするところは、高移動度が要求されるTFTと低リーク電流が要求されるTFTという2種類のTFTを最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

【0008】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒材料としては、ニッケル(Ni)、鉄

(Fe)、コバルト(Co)、白金(Pt)の単体、もしくはそれらの珪化物等の化合物が適している。具体的には、これらの触媒元素を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で、また、8時間以内の短時間の熱アニールすることによって結晶化させることができる。

【0009】また、化学的気相成長法(CVD法)によってアモルファスシリコン膜を形成する際には原料ガス中に、また、スパッタリング等の物理的気相法でアモルファスシリコン膜を形成する際には、ターゲットや蒸着源等の成膜材料中に、これらの触媒材料を添加しておいてもよい。当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、ニッケル、鉄、コバルト、白金の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明人の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が 10^{17} cm^{-3} またはそれ以上、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが

必要であることがわかった。

【0010】なお、上記触媒材料はいずれもシリコンにとっては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、これらの触媒材料の濃度は合計して $1 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。特に、局所的（例えば粒界等）にも $1 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。

【0011】本発明は、レーザー結晶化によって動作速度の速いTFT（アクティブマトリクスのドライバーTFT等）を選択的に形成する一方、上記の触媒材料による結晶化の特徴を生かして、その他の比較的速度の遅いTFT（アクティブマトリクス回路の画素回路の低リークTFT等）に関しては、低温で短時間に結晶化させて用いることを特徴とする。この結果、低リリーク電流と高速動作という矛盾するトランジスタを有する回路を同一基板上に同時に形成することができる。以下に実施例を用いて、より詳細に本発明を説明する。

【0012】

【実施例】【実施例1】本実施例は、図3に示すような1枚のガラス基板上にアクティブマトリクスと、その周辺に駆動回路を有する半導体回路に関するものである。図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ200nmの酸化珪素の下地膜11を形成した。さらに、減圧CVD法によって、厚さ50～150nm、例えば150nmの真性（I型）のアモルファスシリコン膜12を堆積した。連続して、スパッタリング法によって、厚さ0.5～20nm、例えば2nmの珪化ニッケル膜（化学式NiSi_x、 $0.4 \leq x \leq 2.5$ 、例えば、 $x = 2.0$ ）13を形成した。（図1(A)）

【0013】次に、選択的にレーザー光を照射して、その領域の結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～500mJ/cm²、例えば350mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃、例えば300℃に加熱した。

【0014】図3からも明らかなように、レーザー結晶化すべき領域（周辺回路領域）と熱結晶化で十分な領域（マトリクス領域）はかなりの距離が存在するので、特にフォトリソグラフィー工程は必要がなかった。

【0015】次に、これを還元雰囲気下、500℃で4時間アニールして、レーザー照射されなかった領域（アクティブマトリクスの画素回路）を結晶化させた。この

結果、2種類の結晶シリコン領域12a、12bが得られた。領域12aはレーザー結晶化工程によって電界移動度が高く、一方、熱アニールで結晶化した領域12bは低リリーク電流であるという特徴を有していた。（図1(B)）

【0016】このようにして得られたシリコン膜をフォトリソグラフィー法によってパターニングし、島状シリコン領域14a（周辺駆動回路領域）および14b（マトリクス領域）を形成した。さらに、スパッタリング法によって厚さ100nmの酸化珪素膜15をゲート絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば350℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素=0～0.5、例えば0.1以下とした。引き続いて、減圧CVD法によって、厚さ600～800nm、例えば600nmのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターニングして、ゲート電極16a、16b、16cを形成した。（図1(C)）

【0017】次に、プラズマドーピング法によって、シリコン領域にゲート電極をマスクとして不純物（燐およびホウ素）を注入した。ドーピングガスとして、オスフリン（PH₃）およびジボラン（B₂H₆）を用い、前者の場合は、加速電圧を60～90kV、例えば80kV、後者の場合は、40～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、燐を $2 \times 10^{15} \text{ cm}^{-2}$ 、ホウ素を 5×10^{15} とした。この結果、N型の不純物領域17a、P型の不純物領域17bおよび17cが形成された。

【0018】その後、レーザーアニールによって、不純物を活性化させた。レーザーとしてはKrFエキシマーレーザー（波長248nm、パルス幅20ns）を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー（波長353nm）、XeClエキシマーレーザー（波長308nm）、ArFエキシマーレーザー（波長193nm）等を用いてもよい。レーザーのエネルギー密度は、200～400mJ/cm²、例えば250mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃に加熱してもよい。レーザーを照射する代わりに、450～500℃で2～8時間アニールしてもよい。こうして不純物領域17a～17cを活性化した。（図1(D)）

【0019】続いて、厚さ600nmの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、さらに、スパッタリング法によって厚さ50～100nm、例えば80nmのインジウム錫酸化膜（ITO）を形成し、これをパターニングして画素電極19を形成し

た。次に層間絶縁物にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺駆動回路TFTの電極・配線20a、20b、20c、マトリクス画素回路TFTの電極・配線20d、20eを形成した。最後に、1気圧の水素雰囲気で350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。(図1(E)) 得られたTFTの活性領域のニッケルの濃度を、2次イオン質量分析(SIMS)法によって測定したところ、周辺駆動回路および画素回路とともに、 $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ のニッケルが観測された。

【0020】〔実施例2〕 図2に本実施例の作製工程の断面図を示す。基板(コーニング7059)21上に、スパッタリング法によって、厚さ200nmの酸化珪素膜22を形成した。次に、減圧CVD法によって、厚さ20～150nm、例えば50nmのアモルファスシリコン膜23を堆積した。そして、イオン注入法によってニッケルイオンを注入し、アモルファスシリコンの表面にニッケルが $1 \times 10^{18} \sim 2 \times 10^{19} \text{ cm}^{-3}$ 、例えば、 $5 \times 10^{18} \text{ cm}^{-3}$ だけ含まれるような領域24を作製した。この領域24の深さは20～50nmとし、加速エネルギーはそれに合わせて最適なものを選択した。

(図2(A))

【0021】次に、アモルファスシリコン膜に選択的にレーザー光を照射して、その領域の結晶化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いた。レーザーのエネルギー密度は、200～500mJ/cm²、例えば350mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。レーザー照射時に、基板を200～450℃、例えば400℃に加熱した。さらに、還元雰囲気下、500℃で4時間アニールして、レーザー照射されなかった領域のアモルファスシリコン膜を結晶化させた。この結晶化工程によって、2種類の結晶シリコン23a、23bが得られた。(図2(B))

【0022】その後、このシリコン膜をパターニングして、島状シリコン領域26a(周辺駆動回路領域)および26b(マトリクス画素回路領域)を形成した。さらに、テトラ・エトキシ・シラン(Si(OCH₃)₄、TEOS)と酸素を原料として、プラズマCVD法によってTFTのゲート絶縁膜として、厚さ100nmの酸化珪素27を形成した。原料には、上記ガスに加えて、トリクロロエチレン(C₂HCl₃)を用いた。成膜前にチャンバーに酸素を400SCCM流し、基板温度300℃、全圧5Pa、RFパワー150Wでプラズマを発生させ、この状態を10分保った。その後、チャンバーに酸素300SCCM、TEOSを15SCCM、トリクロロエチレンを2SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパ

ワー、全圧は、それぞれ300℃、75W、5Paであった。成膜完了後、チャンバーに100Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0023】引き続いて、スパッタリング法によって、厚さ600～800nm、例えば600nmのアルミニウム膜(2%のシリコンを含む)を堆積した。アルミニウムの代わりにタンタル、タンクステン、チタン、モリブデンでもよい。なお、この酸化珪素27とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をパターニングして、TFTのゲート電極28a、28b、28cを形成した。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層29a、29b、29cを形成した。陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは200nmであった。(図2(C))

【0024】次に、プラズマドーピング法によって、シリコン領域に不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域30aを形成した。さらに、今度は左側のTFT(Nチャネル型TFT)をフォトレジストでマスクして、再び、プラズマドーピング法で右側の周辺回路領域TFT(PチャネルTFT)およびマトリクス領域TFTのシリコン領域に不純物(ホウ素)を注入した。ドーピングガスとして、ジボラン(B₂H₆)を用い、加速電圧を50～80kV、例えば65kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い $5 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてP型の不純物領域30b、30cを形成した。

【0025】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いた。レーザーのエネルギー密度は、200～400mJ/cm²、例えば250mJ/cm²とし、1か所につき2～10ショット、例えば2ショット照射した。(図2(D))

【0026】続いて、層間絶縁物として厚さ200nmの酸化珪素膜31をTEOSを原料とするプラズマCVD法によって形成し、さらに、スパッタリング法によって、厚さ50～100nm、例えば80nmのインジウム錫酸化膜(ITO)を堆積した。そして、これをエッチングして画素電極32を形成した。さらに、層間絶縁物31にコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって周辺ドライバー回路TFTのソース、ドレイン電極・配線33a、33b、33cおよび画素回路TFTの電極・配線

33d、33eを形成した。以上の工程によって半導体回路が完成した。(図2(E))

【0027】作製された半導体回路において、周辺ドライバ回路領域のTFTの特性は従来のレーザー結晶化によって作製されたものとは何ら劣るところはなかった。例えば、本実施例によって作成したシフトレジスタは、ドレン電圧15Vで11MHz、17Vで16MHzの動作を確認できた。また、信頼性の試験においても従来のものとの差を見出せなかった。さらに、マトリクス領域のTFT(画素回路)の特性に関しては、リーク電流は 10^{-13} A以下であった。

【0028】

【発明の効果】本発明によって、同一基板上に、高速動作が可能な結晶性シリコンTFTと低リーク電流を特徴とするアモルファスシリコンTFTを形成することができた。これを液晶ディスプレーに応用した場合には、量産性の向上と特性の改善が図られる。

【0029】また、本発明は、例えば、500°Cというような低温、かつ、4時間という短時間でシリコンの結晶化をおこなうことによっても、スループットを向上させることができる。加えて、従来、600°C以上のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消された。

【0030】さらに、このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの半導体回路(マトリクス回路等)を切りだすことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

【図2】 実施例2の作製工程断面図を示す。

【図3】 モノリシック型アクティブマトリクス回路の構成例を示す。

【符号の説明】

10・・・基板

11・・・下地絶縁膜(酸化珪素)

12・・・アモルファスシリコン膜

13・・・珪化ニッケル膜

14・・・島状シリコン領域

15・・・ゲート絶縁膜(酸化珪素)

16・・・ゲート電極(燐ドープされたシリコン)

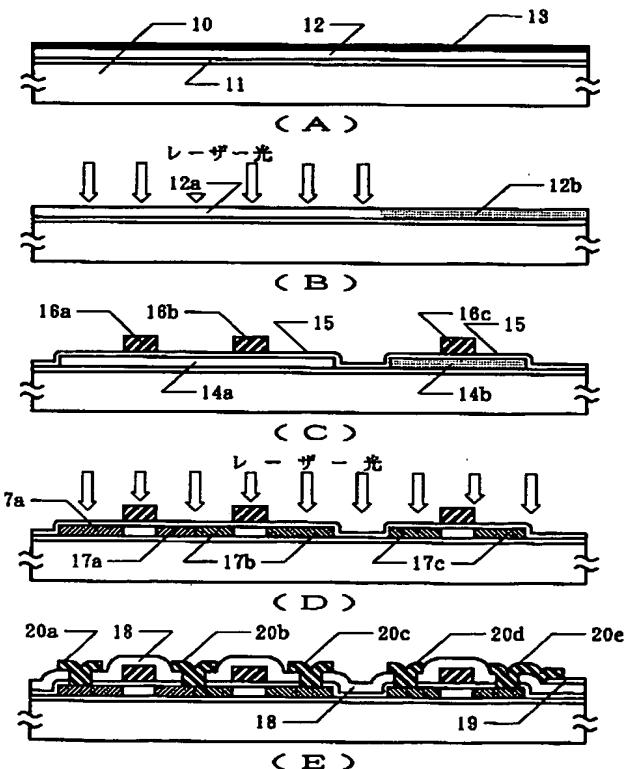
17・・・ソース、ドレン領域

18・・・層間絶縁物(酸化珪素)

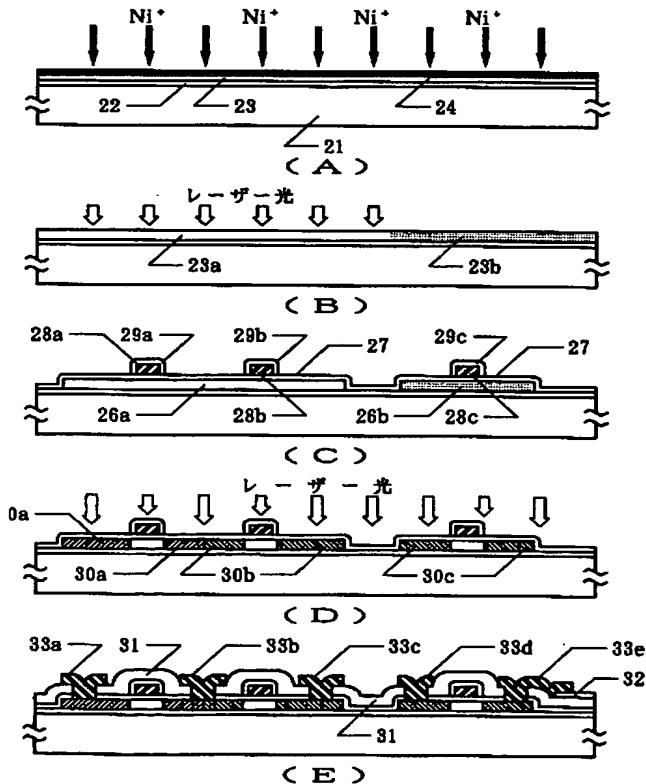
19・・・画素電極(ITO)

20・・・金属配線・電極(窒化チタン/アルミニウム)

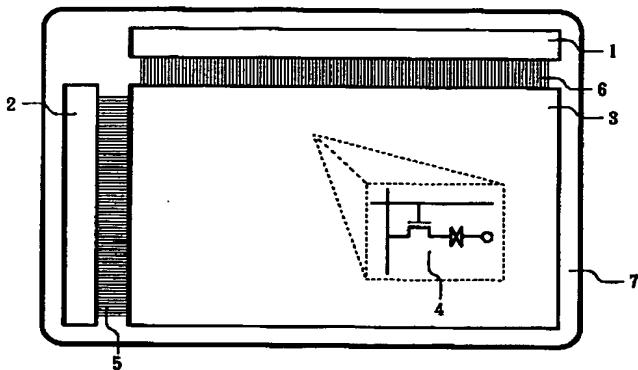
【図1】



【図2】



【図 3】



【手続補正書】

【提出日】平成 12 年 4 月 7 日 (2000. 4. 7)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】半導体回路の作製方法、液晶表示装置の作製方法および液晶表示装置

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】薄膜トランジスタからなる CMOS を含む半導体回路の作製方法であって、シリコン基板上にアモルファスシリコンを含む半導体膜を形成し、前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、前記半導体膜を結晶化するために前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。【請求項 2】薄膜トランジスタを含む画素回路を有する第 1 の領域と薄膜トランジスタからなる CMOS を含む駆動回路を有する第 2 の領域とを有する半導体回路の作製方法であって、ガラス基板上にアモルファスシリコンを含む半導体膜を形成し、前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、前記半導体膜を結晶化るために前記第 2 の領域の前記半導体膜にレーザーを照射することを特徴とする半導

体回路の作製方法。

【請求項 3】薄膜トランジスタを含む画素回路を有する第 1 の領域と薄膜トランジスタからなる CMOS を含む駆動回路を有する第 2 の領域とを有する半導体回路の作製方法であって、酸化珪素膜上にアモルファスシリコンを含む半導体膜を形成し、前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、前記半導体膜を結晶化するために前記第 2 の領域の前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。【請求項 4】薄膜トランジスタを含む画素回路を有する第 1 の領域と薄膜トランジスタからなる CMOS を含む駆動回路を有する第 2 の領域とを有する半導体回路の作製方法であって、絶縁表面上にアモルファスシリコンを含む半導体膜を CVD 法により形成し、前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、前記半導体膜を結晶化するために前記第 2 の領域の前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。【請求項 5】薄膜トランジスタを含む画素回路を有する第 1 の領域と薄膜トランジスタからなる CMOS を含む駆動回路を有する第 2 の領域とを有する半導体回路の作製方法であって、絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、前記半導体膜を結晶化するために前記第 2 の領域の前記半導体膜にパルスレーザーを照射することを特徴とす

る半導体回路の作製方法。

【請求項6】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、
前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、
前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にエキシマーレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項7】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、
前記半導体膜の結晶化を助長する材料を前記半導体膜に導入し、
前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜に200～500mJ/cm²のエネルギー密度のレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項8】請求項1乃至7のいずれか一において、前記材料はイオン注入法によって導入されることを特徴とする半導体回路の作製方法。

【請求項9】薄膜トランジスタからなるCMOSを含む半導体回路の作製方法であって、

シリコン基板上にアモルファスシリコンを含む半導体膜を形成し、
前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、
前記半導体膜を結晶化させるために前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項10】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

ガラス基板上にアモルファスシリコンを含む半導体膜を形成し、
前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、
前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項11】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の

作製方法であって、

酸化珪素膜上にアモルファスシリコンを含む半導体膜を形成し、

前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、

前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項12】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜をCVD法により形成し、

前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、

前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項13】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、

前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、

前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にパルスレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項14】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、

前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、

前記半導体膜を結晶化させるために前記第2の領域の前記半導体膜にエキシマーレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項15】薄膜トランジスタを含む画素回路を有する第1の領域と薄膜トランジスタからなるCMOSを含む駆動回路を有する第2の領域とを有する半導体回路の作製方法であって、

絶縁表面上にアモルファスシリコンを含む半導体膜を形成し、

前記半導体膜の結晶化を助長する材料を含む層を前記半導体膜に接して形成し、

前記半導体膜を結晶化させるために前記第2の領域の前

記半導体膜に200～500mJ/cm²のエネルギー密度のレーザーを照射することを特徴とする半導体回路の作製方法。

【請求項16】請求項6または14において、前記エキシマーレーザーはKrFエキシマーレーザー、XeFエキシマーレーザー、XeClエキシマーレーザーまたはArFエキシマーレーザーであることを特徴とする半導体回路作製方法。

【請求項17】請求項1乃至16のいずれか一において、前記材料はニッケル、鉄、コバルト、白金、珪化ニッケル、珪化鉄、珪化コバルトまたは珪化白金であることを特徴とする半導体回路の作製方法。

【請求項18】請求項1乃至17のいずれか一において、前記レーザーの照射は加熱と同時にを行うことを特徴とする半導体回路の作製方法。

【請求項19】請求項1乃至18のいずれか一において、前記レーザーの照射により前記半導体膜を結晶化した後、

前記半導体膜に磷を導入し、前記半導体膜を450℃以上の温度で2時間以上熱アーチルすることを特徴とする半導体回路作製方法。

【請求項20】請求項1乃至19のいずれか一の半導体回路の作製方法において作製される半導体回路を用いることを特徴とするアクティブマトリクス方式の液晶表示装置の作製方法。

【請求項21】請求項1乃至19のいずれか一の半導体回路の作製方法において作製される半導体回路を用いることを特徴とするアクティブマトリクス方式の液晶表示装置。

フロントページの続き

(51) Int.Cl.⁷

識別記号

F I

マーク(参考)

// H01S 3/00